

基于 NIOS 的便携式远程医疗监护器 硬件平台的设计³

凌朝东, 洪华峰, 李国刚, 刘一平, 王加贤
(华侨大学元顺 IC 设计中心 泉州 362021)

摘 要: 随着 HHCE (家庭医疗保健工程) 的兴起与远程医疗的不断发展, 本文提出一种面向用户终端使用的便携式远程医疗监护器的解决方案。该方案在硬件设计上以 SoPC (片上可编程系统) 技术为基础, 在单片 FPGA 上实现整个系统构建; 其中 CPU 选用 Altera 公司的 Nios 软核处理器进行开发, 硬件平台关键模块使用 Altera 公司的 EDA 软件 Quartus II V5.0 完成设计, 且在 Altera 1C20 FPGA 开发板上通过了验证。本文着重阐述了整个硬件平台的设计流程与研制过程, 并给出了关键技术的设计思路 and 重要步骤。

关键词: HHCE; Nios; IP 核; 生物医学信号; Verilog HDL

中图分类号: TP36 TP339 文献标识码: A 国家标准学科分类代码: 510.10

Hardware design of portable telemedicine monitoring equipment based on NIOS soft core

Ling Chaodong, Hong Huafeng, Li Guogang, Liu Yiping, Wang Jiaxian

(IC Design Research & Development Laboratory, Huaqiao University, Quanzhou 362021, China)

Abstract: With the development of HHCE and telemedicine, a solution for end user of portable telemedicine monitoring equipment has been presented. The hardware design scheme adopts SOPC technology based on Nios processor and the system design is implemented on one FPGA. The key hardware platform modules are implemented on Quartus V5.0 and have been validated on Altera 1C20 Development Kit. This paper mainly introduces the design and development process of the hardware platform, and presents the important design approaches of the key technology in detail.

Keyword: HHCE; Nios; IP core; biomedical signal; Verilog HDL

1 引 言

随着社会节奏的不断加快和生活压力的不断增大, 人类对自身的健康越来越关注, 疾病的预防和保健已成为人类生活中不可或缺的一部分, 家庭医疗保健工程 (home health care engineering, HHCE) 这门学科正随着人类对健康的重视和远程医疗的发展而逐渐走进人类的生活, 它提倡的是一种“在家就医, 自我保健, 远程诊断”的理念, 把高科技与医疗结合起来。HHCE 的出现符合

世纪社会老龄化、医疗费用日益高涨以及人们生活健康质量高要求的趋势, 同时可实现医疗资源共享, 提高边远地区的医疗水平, 因此具有特别旺盛的生命力。

HHCE 的设备具有明显的现代化医疗仪器特点和家用仪器设备的特色。除了具有科学性、先进性之外, 最重要的是要工作可靠、操作简单, 在体积、重量、价格、维护、安全等方面适应家庭医疗的需要。现阶段家庭保健设备的应用, HHCE 设备主要分为 3 类: 用于诊断和监护的仪器、用于家庭理疗保健康复的仪器以及远程病理传递的通信系统。

收稿日期: 2007-01 Received Date: 2007-01

3 基金项目: 福建厦门市科技计划项目 (3502Z20073037) 资助

HHCE 系统提供一种对于家庭、社区医疗、出诊医生有效便捷的医疗监测解决方案,HHCE 监护器是系统的一个重要组成部分。就国内而言,该类产品的研究属于刚起步阶段,远程网络也只是简单地完成数据库医疗数据的存储和传输,还没有真正完成将网络与医疗器械相结合。在国际方面,世界各国在此项研究上均投入了大量资金,但依然主要是使用价格昂贵的仪器完成医疗数据采集,然后依托 PC/Internet 网络完成数据采集以及网络诊断。本文研究设计的监护器采用 Altera 公司的 Nios 软核作为 CPU,并移植当今主流的 uLinux 操作系统使系统安全稳定运行。它将家庭保健和远程医疗结合起来,主要面向用户终端设计,使个人能够方便地对自身的各类生物医学信息(如心电 ECG、脑电 EEG、肌电 EMG、肺血阻抗 ERG、体温等)进行自我检测,实时了解自己的身体健康状况;该系统能将这些生物医学信息通过仪器显示出来,直观地观测各类指标是否正常,且通过人机交互来自我分析。另一方面,采集到的信息还能被存储起来,方便数据长期分析和诊断。同时可通过网络等远端通信设施与医疗保健服务端(如医院、私人医师、监护中心、保健中心等)快速建立连接,将测量数据传递给远程数据库或医生;有利于医疗信息的数据库管理和远程实时监护、诊断,使用户不用出门就能得到最及时有效的诊断。

2 HHCE 监护器的组成

HHCE 监护器主要由生物医学信号前端采集调理、信号处理存储和传输平台及远程控制等 3 大模块组成,系统功能结构如图 1 所示。

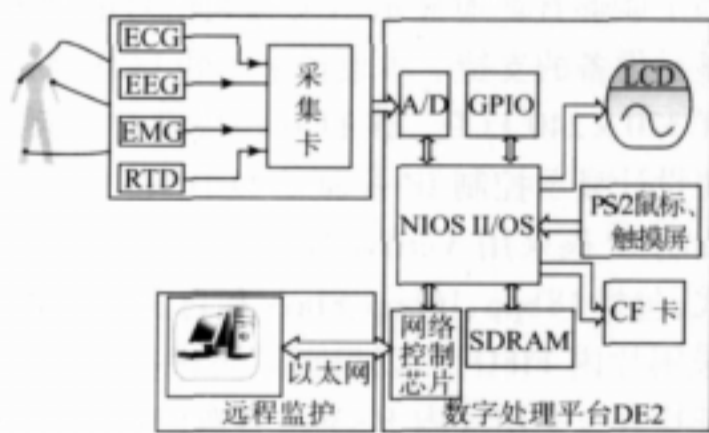


图 1 系统功能框图

Fig. 1 The system function block diagram

系统功能要求:

- (1) 用户终端使用,便携易操作;
- (2) 4 路信号同时采集,可根据需要添加与裁减;
- (3) 实时显示身体信息(图形和数据);
- (4) 直观的人机交互界面;
- (5) 具备多个功能接口,便于数据的存储和传输;
- (6) 可根据需要扩展功能和升级软件;
- (7) 可远程控制。

3 硬件平台的设计

该监护器的硬件平台采用 Altera 公司 Cyclone EP1C20F400C7 FPGA 芯片,利用 SoPC(片上可编程系统)技术将 Nios 软核、存储器、功能接口和扩展 I/O 口等集成在一块 FPGA 芯片上,外围扩展数据采集模块、网络、LCD 屏、触摸屏/键盘、USB/CF 存储器等硬件来实现系统的硬件架构,且带有可扩展的 I/O 接口,便于系统功能升级。图 2 是本系统的硬件处理平台。

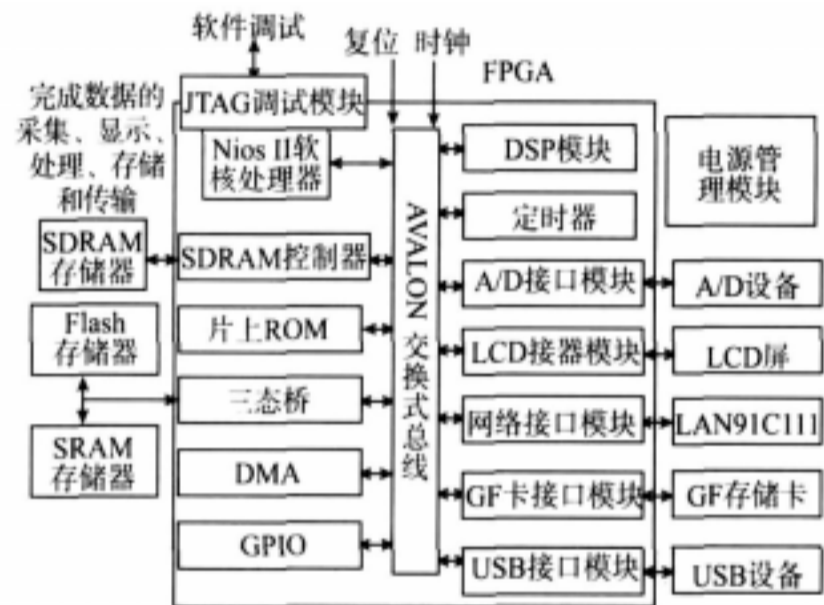


图 2 硬件处理平台

Fig. 2 The structure of the hardware platform

3.1 Nios 嵌入式软核简介

Nios II 系列嵌入式处理器是 Altera 公司推出的软核处理器。把 Nios II 嵌入到 Altera 的 Stratix II、Stratix、Cyclone 和 HardCopy 系列器件中,用户可以获得超过 200 DMIPS 的性能,而只需花费不到 35 美分的逻辑资源。

有 3 种 Nios II 处理器以及超过 60 个配套的 IP 核供用户选择,设计师可以以此来创建一个最适合他们需求的嵌入式系统。Nios II 支持 MicroC/OS2II、uLinux 等多种实时操作系统,支持轻量级 TCP/IP 协议栈,支持 3. zip 的文件系统,Nios II 处理器允许用户增加自定义指令和自定义硬件加速单元,无缝移植自定义外设和接口逻辑,在性能提升的同时,方便了用户的设计。

Nios II 处理器采用 Avalon 交换式总线,该总线是 Altera 开发的一种专用的内部连线技术。Avalon 交换式总线由 SoPC Builder 自动生成,是一种用于系统处理器、内部模块以及外设之间的内联总线。Avalon 交换式总线使用最少的逻辑资源来支持数据总线的复用、地址译码、等待周期的产生、外设的地址对齐(包括支持原始的和动态的总线尺寸对齐)、中断优先级的指定以及高级的交换式总线传输。在传统的总线控制模式下,当一个 master 用总线时,其他的单元不能同时使用,而 Avalon 总线却允许它们共享。

3.2 主要硬件模块的设计

3.2.1 生物医学信号采集调理模块设计

对生物医学信号的采集采用模块化的方式,主要由前端的医学传感器、信号滤波放大调理电路和 A/D 采样电路组成。其中调理电路根据不同生物医学信号的频谱和幅度范围的不同,选择不同的滤波器和放大电路。以 ECG 为例,通过前置放大部分对 ECG 信号进行放大,此部分包括右腿驱动以抑制共模干扰、屏蔽线驱动以消除引线干扰,增益设成 10 倍左右。设计前置放大采用美国模拟器件公司生产的医用放大器 AD620。AD620 由传统的三运算放大器发展而成,为同相并联差动放大器的集成。其具有电源范围宽 ($\pm 2.3 \sim \pm 18 \text{ V}$),设计体积小,功耗低(最大供电电流仅 1.3 mA)的特点,因而适用于低电压、低功耗的应用场合。此外还具有共模抑制比较高、温度稳定性好、放大频带宽、噪声系数小等优点。放大后的信号经滤波、50 Hz 陷波处理后再进一步放大,后级增益设成 100 倍左右。由于心电信号幅度最大就几 mV,而 A/D 转换中输入信号的幅度要求在 1 V 以上,所以总增益设成 1 000 倍左右。其中,滤波采用压控电压源二阶高(低)通滤波电路,用于消除 0.05 ~ 100 Hz 频带以外的肌电等干扰信号,工频中的其余高次谐波也可被滤除掉。同时,采用有源双 T 带阻滤波电路进一步抑制 50 Hz 工频干扰。

A/D 采样芯片采用 TI 公司的 8 位串行芯片 TLC549,该芯片采用 SPI 接口,仅用 3 条线即可实现采集控制和数据传输;具有 4 MHz 的片内系统时钟和软、硬件控制电路,转换时间小于 17 μs ,采样速率达 40 KSPS;采用差分基准电压技术这个特性,TLC549 可能测量到的最小量值达 1 000 mV /256,也就是说 0 ~ 1 V 信号不经放大也可以得到 8 位的分辨率。

3.2.2 数据采集控制 IP 设计

数据采集的接口 IP 主要完成对 A/D 芯片的时序控制和数据衔接。主要的数据流传输设计思想如图 3 所示。

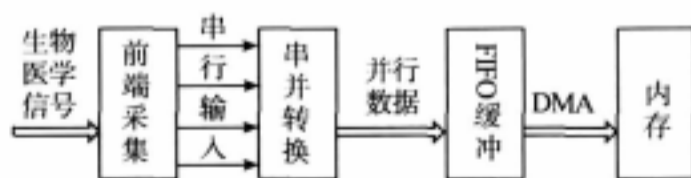


图 3 信号采集数据流向

Fig. 3 The data flow chart of the IP core

采用串行输入,节省 I/O 口,并且消除了并行带来的同步问题。每一路通道都有独立的片选信号,通过控制寄存器选中要转换的通道,便可开启所选通道进行转换。每一路通道都有一个 8 位寄存器来存放串行数据,根据 I/O CLK 上升沿,对 4 路进行逐次存储,当转换结束后,输出 32 位数据到 FIFO,采用 DMA 方式传输数据到

SDRAM 缓存, DMA 传输完设定长度的数据到 SDRAM 后产生中断,重新初始化 DMA,将数据传输的起始地址再次送到 DMA 寄存器内,等待下一帧数据的传输。IP 核利用硬件描述语言 Verilog HDL 编写,挂接到 Avalon 总线上,通过寄存器形式控制,有 CR_ADDR - 控制寄存器;SR_ADDR - 状态寄存器;NBA_ADDR - DMA 地址寄存器和 ISR_ADDR - 中断寄存器。

对 A/D 芯片 TLC549 的时序控制严格按照芯片时序^[10]生成。在自 TLC549 的 I/O CLOCK 端输入 8 个外部时钟信号期间需要完成以下工作:读入前次 A/D 转换结果;对本次转换的输入模拟信号采样并保持;启动本次 A/D 转换开始。则一路采集时间为: $0.5 \mu\text{s} \times (3 + 8 \times 2 + 1) = 10 \mu\text{s}$,而芯片转换时间小于 17 μs ,则整个过程时间花费为 27 μs 。为了有效的利用 IP 核,在一路 A/D 转换期间,同时进行另外一路 A/D 采样,这样就可以在 40 μs 时间内完成对 4 路信号的采集,大大提高了工作效率。同时,设计中还加入了一个 FSM 信号来控制采样时间,从而适应不同频率信号的采样频率。图 4 是 A/D 芯片的时序仿真图。

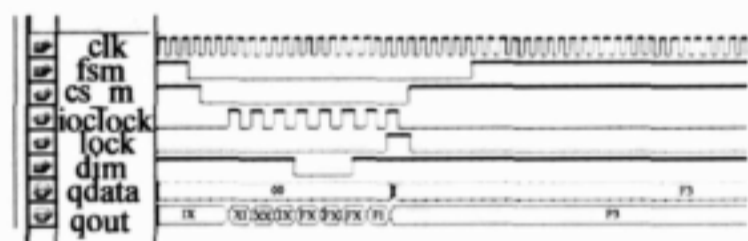


图 4 仿真时序图

Fig. 4 The timing simulation diagram

3.2.3 显示模块设计

为了能够直观地显示出采集到信号的波形和数据,需要显示设备的支持。本设计采用的 LCD 屏是 LG 公司的 TFT 320 \times 240 LCD。该 LCD 模块没有显示控制器,因此需要设计显示控制 IP 核驱动 LCD 屏。本设计实现的显示控制 IP 核采用 Verilog HDL 自行设计,支持多种颜色模式,包括 18bpp、16bpp、8bpp 和自定义模式。图像存储器采用片内 FIFO,可以根据需要进行调整。256 色的颜色查找表也采用片内 RAM。图像信息能够通过 Avalon 总线主端口的块传输方式,利用 DMA 从内存中自动读取。系统组成如图 5 所示。

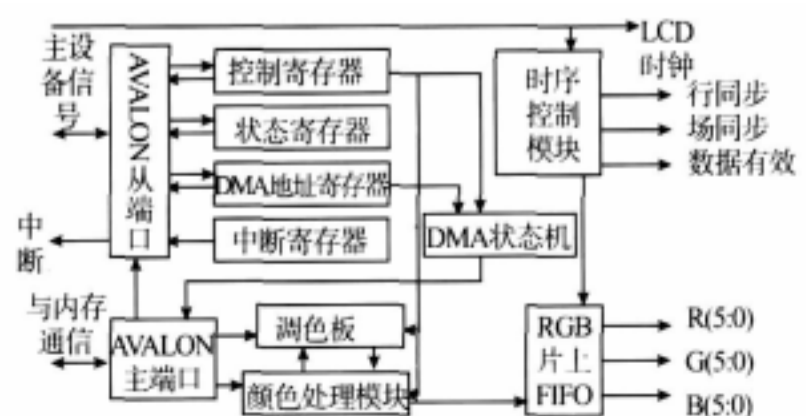


图 5 LCD IP 结构框图

Fig. 5 The structure of the LCD control IP core

该 LCD 核主要分为 4 个模块:接口模块、内存模块、颜色转换模块和时序模块。

接口模块:主要用来对控制器进行控制及读取状态,并以寄存器方式存在。主要包括:控制寄存器、状态寄存器、DMA 地址寄存器和中断寄存器。具体的寄存器功能如表 1 所示。

表 1 LCD 控制器的寄存器

Table 1 Registers of the LCD control IP

A1 - A0	寄存器名	读/写	描述 寄存器各位					
			31...5	4	3	2	1	0
0	控制寄存器	读写	Eirq	Rmode	Edma			
1	状态寄存器	读写	状态查询					
2	DMA 地址寄存器	读写	写入 DMA 传输的起始地址					
3	中断寄存器	读	清中断					

其中,控制寄存器的 EDMA 位用来启动 DMA, RMODE 位用来选择调色板模式(18bpp、16bpp、8bpp 和自定义),EIRQ 用来使能中断。状态寄存器用来查询中断状态。DMA 地址寄存器用来设置和查询 DMA 的起始地址。中断寄存器则用来清中断。

内存模块:利用 DMA 模式对 SDRAM 中的 FRAME 2 BUFFER 进行独立的数据读取到片上 FIFO,这部分采用状态机实现 AVALON 主端口的块读写。根据时序,状态机主要分为 3 个状态:DLE 状态、地址状态和数据状态。IDLE 状态为空闲状态,在该状态下主要是等待 DMA 启动信号的到来,对块传输数量和 DMA 起始地址进行初始化。当 DMA 使能信号开启和片上 FIFO 空闲时,跳转到地址状态;在地址状态下,将等待总线上的等待信号取消进入数据读取状态;在数据读取状态,读信号将启动开始读取 SDRAM 中该地址的数据,每连续一个数据后,块计数器就减 1,当读取一个数据后,就回到地址状态等待,同时地址自增;当数据读取完一帧后,回到空闲状态,等待下一帧数据传输的开始。

颜色转换模块则将读取后的数据根据 4 种颜色模式不同进行数据读取的转换,其中 8bpp 和自定义模式由于颜色不足,需要接入颜色查询表处理。自定义模式可以手动对调色板的地址进行预设来定义输出的颜色。

时序模块严格按照 LCD 的时序编写。其中,LCD 时钟为 5 MHz。通过控制数据使能信号启动 FIFO 数据输出,逐行扫描显示。同时,设计该模块时,在数据有效信号(DE)有效前,须检查 FIFO 中是否存有数据,以确定是否进行数据读取和传输;须进行调色板模式设置,在帧传输过程中需要进行模式锁定,以免出现传输错误;须根据不同 BPP 模式,确定不同的读取时间段,BPP_18 每次都读取,BPP_16 间隔 1 次读取,BPP_8 间隔 4 次读取。

3.2.4 数据存储模块设计

本设计选用 CF 卡作为外接存储硬盘。CF 卡具有体积小、无需电池及内置智能控制器等优点,支持 PQMC IA 2 ATA 标准,采用块擦写技术,每次可读写一个扇区 512 B。设计中 CF 卡采用 true DE 的操作模式,在这种模式下,对 CF 卡的读写实际是对其内部控制器的 8 个寄存器进行读写,如表 2 所示。同时设计了 CF 卡接口 IP 核作为一个桥接模块,将 true DE 模式下的信号挂接到总线上,在软件层通过 A0 ~ A2 和 CE1、CE2 对寄存器进行选择操作。

表 2 CF 卡 TRUE IDE 下的寄存器组

Table 2 CF 2ATA Registers

偏移量	寄存器名	
	读寄存器	写寄存器
0	读数据寄存器	写数据寄存器
1	错误寄存器	特征寄存器
2	扇区数寄存器	扇区数寄存器
3	扇区号寄存器	扇区号寄存器
4	低柱面寄存器	低柱面寄存器
5	高柱面寄存器	高柱面寄存器
6	设备/磁头寄存器	设备/磁头寄存器
7	状态寄存器	命令寄存器
14	ALT 状态寄存器	设备控制寄存器

该 CF 卡接口 IP 核设计了 2 个 AVALON 从端口,一个用来接入 CF 卡内部的寄存器,对 CF 卡进行读写;另一个用于接入 CF 卡接口 IP 核的寄存器,配置核本身。NDS II 处理器作为主设备,通过访问寄存器来控制 CF 卡以及从 CF 卡读取或接受数据。

该核提供 2 个高效的中断请求输出,一个用于 CF 卡的插入和拔除,另一个用于从设备到主设备的传递中断信号。

针对 CF 卡的读写协议,对 CF 进行读写逻辑扇区的步骤是:当读操作时,首先对状态寄存器进行查询,直到 BSY = 0 表示不忙;然后向设备磁头寄存器写入适当的设备位,再查询状态寄存器直到设备不忙且数据准备好 DRDY = 1;接着向特征寄存器、命令寄存器、扇区数寄存器、扇区号寄存器等写入所要求的指令,同时设置状态寄存器的 DRQ 位为有效,表示准备接收数据;最后 CPU 通过数据寄存器读取数据,清除 DRQ 位,并置 BSY 为有效;数据读取完后,清 BSY 位,并声明中断位。CPU 接受到中断后,将读取状态寄存器,清除中断位。当进行写操作时,步骤基本一样,只是在数据准备好后,往数据寄存器内写数据。

同时,选用 SDRAM /SRAM 作为数据缓存及程序执行的场所。用 U2disk 作为数据的存取,而将操作系统、应

用程序等存放在 CF 卡,这样就能为以后应用程序升级和新功能的扩展提供便利。

3.2.5 数据传输模块设计

为了实现远程的数据交换,本系统设计了利用网络进行数据传输的模块。在硬件层,采用的网络接口芯片是 LAN91C111,该芯片是 SMC 公司生产的专门用于嵌入式产品的 10M / 100M 第三代快速以太网控制器芯片。支持 IEEE802.3 (ANSI 8802.3) 以太网标准、自适应选择传输速率、并能匹配 8、16 和 32 位的访问,同时拥有选择性的可配置 EEPROM,可连接同轴电缆及双绞线,设计中只需外接 EEPROM 和 RJ45 口便可完成本文的硬件搭建。总线信号的转换 IP 核能使我们很容易将网络模块接入该系统,实现上层 TCP/IP 的处理。

4 实验结果

系统测试对人体 ECG 信号进行了采集,并实时通过 LCD 屏显示出来,同时通过 CF 卡将数据存储起来,另一方面通过网络将数据传递到 PC 上,以下是对系统功能的验证测试结果。

4.1 信号采集调理模块

ECG 信号采集调理模块是自行设计的采集板,主要测量参数为前置放大器的通道带宽、放大能力和陷波特性和。经测试,测试信号在 1 Hz ~ 1 kHz 的频带带宽内放大增益基本稳定在 12.1 dB,即其通道带宽 1 kHz;在频率为 20 Hz 和 50 Hz 时,放大器对 40 ~ 800 mV 信号的放大能力增益并无明显变化,基本稳定在 11.7 ~ 13.1 dB;同时,陷波器在对 50 Hz 信号滤波时能将放大增益控制到 0.5 dB 以下。因此,基于心电信号的特点所设计的采集调理模块能稳定的获得人体的心电信号。

4.2 信号显示模块

图 6 是采集后的 ECG 信号通过本地的 LCD 屏实时显示出来。从最终的显示结果看,ECG 信号的 PQRST 五个特征点明显,波形平滑,并且在实际测量中稳定无干扰,能真实反映出采集后的心电信号。

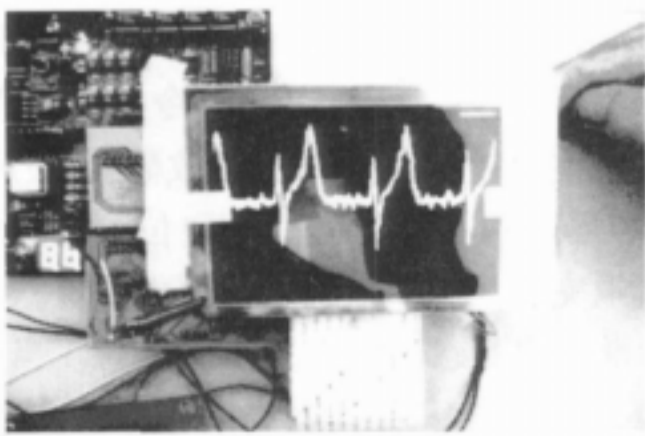


图 6 ECG 信号在本地 LCD 屏的显示

Fig. 6 The ECG signal displayed on the LCD screen

4.3 信号存储模块

对采集的信号进行存储,利用的是 CF 卡存储设备作为载体。该设计成功移植了 uc/Fs 文件系统 (FAT 格式),使得对于数据的存储操作更加简单,并方便了与 PC 的通信。最终能实现的操作如表 3 所示。

表 3 CF 卡实现的文件操作功能

Table 3 The main realized functions

文件系统开始 关闭	FS_EX IT ()、FS_N IT
创建 关闭文件	FS_FCLOSE ()、FS_FOPEN ()
读 写文件数据	FS_FREAD ()、FS_FWRITE ()
文件定位	FS_FSEEK ()、FS_FTELL ()
文件 文件目录删除	FS_REMOVE ()
文件目录创建 关闭	FS_MK DIR ()、FS_CLOSEDIR ()
目录打开 读 定位	FS_OPENDIR ()、FS_READDIR ()、FS_REWINDDIR ()

测试采用对 100 个的 16 位数据进行文本文件的读写操作,用时 40 ms。假设前端的数据采样为 2 kHz,每秒采样 2 000 个数据点,则存储时间为 $(2\ 000/100) \times 40\text{ ms} = 800\text{ ms}$,结果显示保证了采集数据的不丢失。

4.4 网络传输模块

在设计中,网络接口功能的实现使采集到的 ECG 信号还通过以太网发往远程 PC,实现数据的远程传送。信号在采集后打包成以太网包,然后发送出去。在远程 PC 端,设计利用 LabVIEW 图型编程工具编写了一个带有 TCP/IP 通信功能的简单面板,经过对发送来的信号解包处理,将心电数据输出到面板的显示界面上,图 7 是 ECG 信号在远程 PC 面板上的显示结果。该测试结果显示其与本地的 LCD 信号基本一致,完成了远程传输功能。

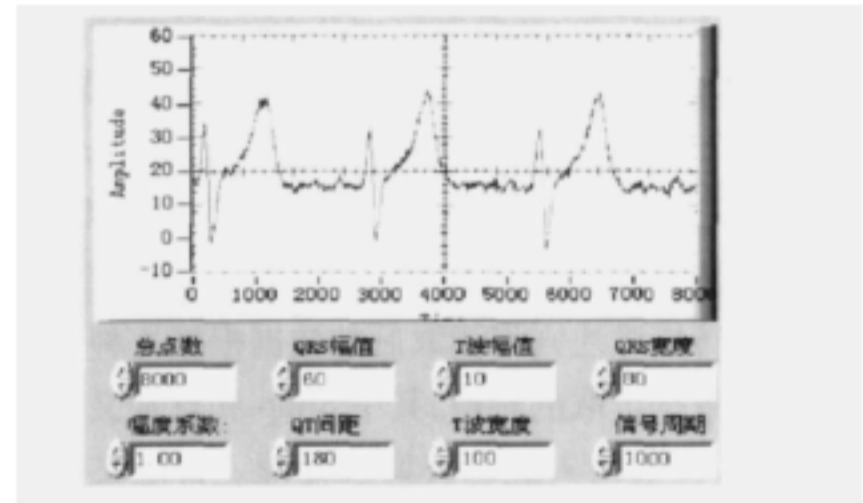


图 7 远程服务器端显示控制面板

Fig. 7 The ECG waveform displayed on the panel of remote PC

实验表明,该监护系统能实时准确地实现数据的采集、显示、存储和传输功能。

5 结 论

本文描述了一种基于 NDS II 软核处理器的便携式

医疗监护器的设计,该设计已完成了系统平台的搭建,并通过了 EDA 软件仿真验证和 1C20 板的硬件设计验证,能够实现对生物医学信号的采集调理、信号波形和数据 LCD 显示、数据的存储、网络传输等功能,设计中采用的 SoPC 技术,使设计具有很大的灵活性,利用 Altera 公司的 FPGA 完成了整个系统的构建,不仅缩短了的设计周期,更体现出该医疗监护系统的体积小、便携性等特点。

考虑到系统的复杂性和多任务性,以及应用程序开发的方便性,设计进一步工作采用了当前主流的嵌入式操作系统 uCLinux 构建软件层,并移植了 MNI/GUI 为用户提供一个友好的操作界面,而基于操作系统的应用层软件开发,使应用程序和算法设计更容易在这个平台上实现,利用 NDS II EDS 软件编译工具,可方便地将 C/C++ 程序编译下载到系统内存中执行。

参考文献

- [1] MICHAEL G, PANAGIOTIS C. Next generation of methods and tools for team work based care in speech and language therapy [J]. Telematics and Informatics, 2005, 22: 135-160.
- [2] FIGUEROA M V M, DIAS J S. Mobile telemedicine system for home care and patient monitoring [C]. Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Proceedings, Conference Proceedings, 26th Annual International Conference of the IEEE Engineering in Medicine and Biology Society, EMBC, 2004, 26: 3387-3390.
- [3] OGAWA, HIDEKUNI, YONEZAWA, et al. A web-based home welfare and care services support system [C]. Annual International Conference of the IEEE Engineering in Medicine and Biology, 2002.
- [4] WARREN S, CRAFT R L. Designing smart health care technology into the home of the future [C]. Annual International Conference of the IEEE Engineering in Medicine and Biology Society, Proceedings, 1999.
- [5] LIU PX, MENG M Q H, LIU PR. An end-to-end transmission architecture for the remote control of robots over IP networks [C]. IEEE /ASME Transactions on Mechatronics, 2005, 10: 560-570.
- [6] CORPORATION A. Embedded processor solutions overview [EB/OL]. http://www.altera.com/technology/embedded/embedded_emb_processor_solutions.html, 2005.
- [7] CORPORATION A. Nios II processor reference handbook [EB/OL]. http://www.altera.com/literature/hb/nios2/n2cpu_nii5v1.pdf, June. 2006.
- [8] CORPORATION A. Nios II embedded processor software development reference manual [EB/OL]. http://www.altera.com/literature/manual/mnl_niossft.pdf, June. 2006.
- [9] CORPORATION L P. LB040Q02 liquid crystal display product specification [EB/OL]. http://www.reachtech.com/collateral/LB040Q02_2D01Spec_2.pdf, Mar. 2005.
- [10] CORPORATION T I. TLC 549 8bit AD converter datasheet [Z]. 1996.

作者简介



凌朝东, 1984 年于华侨大学获得学士学位, 1996 年于香港中文大学获得硕士学位, 现为华侨大学副教授, 主要研究方向为生物医学电子学。

地址: 福建泉州华侨大学电子工程系, 362021

电话: 0595 22692477; E-mail: edac@hqu.edu.cn

edu.cn

Ling Chaodong obtained bachelor degree from Huaqiao University in 1984, master degree from Chinese University of Hong Kong in 1996 and is an associate professor in Department of Electronic Engineering, Huaqiao University. His major research fields include biomedical & electronic engineering.

Address: Department of Electronic Engineering, Huaqiao University, Quanzhou 362021, Fujian, China

Tel: +86 2595 22692477; E-mail: edac@hqu.edu.cn



洪华峰, 2005 年于华侨大学获得学士学位, 现为华侨大学信号与信息处理专业研究生, 主要研究方向为 FPGA、嵌入式系统应用、智能信号检测等。

地址: 福建厦门市软件园生产基地观日路 33 号 408, 361008

电话: 0592 26160048; E-mail: hfhong2275@sina.com

sina.com

Hong Huafeng obtained bachelor degree from Huaqiao University in 2005 and now he is a master candidate in College of Information Science & Engineering, Huaqiao University. His main research direction is FPGA and embedded system design.

Address: Xiamen Software Production Base, Unit 408, Block 33, Guanri Road, Xiamen 361008, Fujian, China

Tel: +86 2592 26160048, E-mail: hfhong2275@sina.com